

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-246959

(43)Date of publication of application : 12.09.2000

(51)Int.Cl. B41J 2/44
G02B 26/10
G03G 15/01

(21)Application number : 11-370537

(71)Applicant : KONICA CORP

(22)Date of filing : 27.12.1999

(72)Inventor : TAKAGI KOICHI
AZUMAI MITSUO
IZUMIYA KENJI

(30)Priority

Priority number : 10374278

Priority date : 28.12.1998

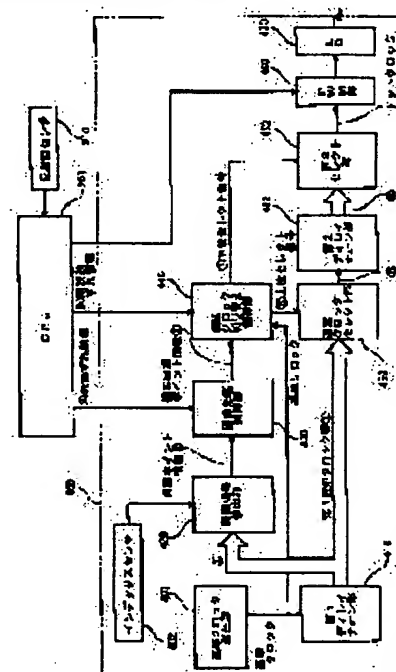
Priority country : JP

(54) CLOCK GENERATING CIRCUIT AND IMAGE FORMING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock generating circuit capable of generating a dot clock such that the pulse number of a reference clock becomes a predetermined number in a predetermined time in an integrated circuit without using an exterior part.

SOLUTION: By providing a reference signal producing part 401 for generating a pulse with a predetermined interval, delay signal generating parts 410, 412 for delaying a reference signal produced by the reference signal generating part for producing a delay signal group including a plurality of delay signals with different phases, and selecting means 450, 452 for successively selecting delay signals with different phases per one pulse among the delay signal group, and referring to the selected signals, a signal with a predetermined pulse number is produced in a predetermined time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Best Available Copy

This Page Blank (uspto)

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

...is Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-246959

(P2000-246959A)

(43) 公開日 平成12年9月12日 (2000.9.12)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
B 4 1 J 2/44		B 4 1 J 3/00	M
G 0 2 B 26/10		G 0 2 B 26/10	A
G 0 3 G 15/01	1 1 2	G 0 3 G 15/01	1 1 2 A

審査請求 未請求 請求項の数27 O L (全 19 頁)

(21) 出願番号 特願平11-370537

(22) 出願日 平成11年12月27日 (1999. 12. 27)

(31) 優先権主張番号 特願平10-374278

(32) 優先日 平成10年12月28日 (1998. 12. 28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001270

コニカ株式会社

東京都新宿区西新宿 1 丁目26番 2 号

(72) 発明者 高木 幸一

東京都八王子市石川町2970番地 コニカ株式会社内

(72) 発明者 東井 満男

東京都八王子市石川町2970番地 コニカ株式会社内

(72) 発明者 泉宮 賢二

東京都八王子市石川町2970番地 コニカ株式会社内

(74) 代理人 100085187

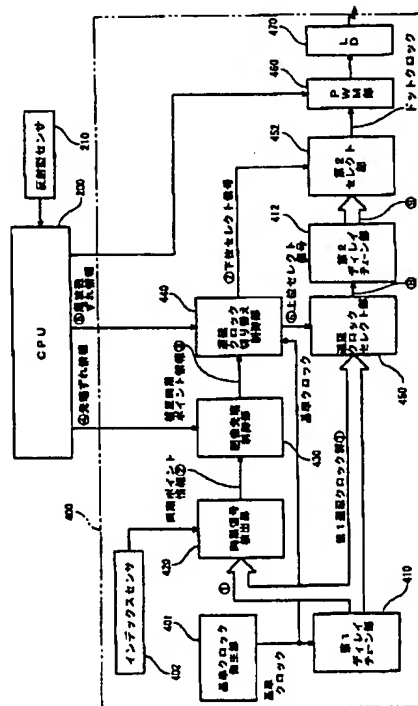
弁理士 井島 藤治 (外 1 名)

(54) 【発明の名称】 クロック発生回路および画像形成装置

(57) 【要約】

【課題】 外付け部品を使わず一つの集積回路内で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成することが可能なクロック発生回路を提供することにある。

【解決手段】 所定間隔でパルスを発生させる基準信号生成部401と、基準信号生成部によって生成された基準信号を遅延させて、位相の異なる複数の遅延信号からなる遅延信号群を生成する遅延信号生成部410、412と、遅延信号群の中から1パルス毎に位相の異なる遅延信号を順次選択する選択手段450、452とを備え、この選択された信号を参照することによって、所定時間内に発生するパルス数を所定数にした信号を生成する、ことを特徴とする。



【特許請求の範囲】

【請求項 1】 所定間隔でパルスを発生させる基準クロック生成部と、

前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロックからなる遅延クロック群を生成する遅延クロック生成部とを有し、

前記遅延クロック群の中から 1 パルス毎に位相の異なる遅延クロックを順次選択し、この選択された信号を合成することによって、所定時間内に発生するパルス数を所定数にしたクロックを生成する、ことを特徴とするクロック発生回路。

【請求項 2】 所定間隔でパルスを発生させる基準クロック生成部と、

前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の第 1 遅延クロック群を生成する第 1 遅延クロック生成部とを有し、

前記複数の第 1 遅延クロック群の中から位相の異なる遅延クロックを順次選択し、この選択された信号を合成することによって、所定時間内に発生するパルス数を所定数にしたクロックを生成するための第 1 選択手段と、

前記第 1 選択手段によって選択された遅延クロックを遅延させて、位相の異なる複数の第 2 遅延クロック群を生成する第 2 遅延クロック生成部とを有し、

前記複数の第 2 遅延クロック群の中から 1 パルス毎に位相の異なる遅延クロックを順次選択し、この選択された信号を合成することによって、所定時間内に発生するパルス数を所定数にしたクロックを生成する第 2 選択手段と、を備えたことを特徴とするクロック発生回路。

【請求項 3】 所定間隔でパルスを発生させる基準クロック生成部と、

前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の第 1 遅延クロック群を生成する第 1 遅延クロック生成部と、

前記第 1 遅延クロック生成部によって生成された第 1 遅延クロック群から所望の入力信号の先端位置に同期したクロックを検出する同期検出部と、

前記同期検出部において検出されたクロックを参照して位相補正量を求め、この位相補正量に基づいて前記第 1 遅延クロック群の中から、位相の異なる遅延クロックを順次選択することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する第 1 切替制御部と、

前記第 1 切替制御部によって選択された遅延クロックについて、前記第 1 遅延クロック群より細かい間隔で遅延させて、位相の異なる複数の第 2 遅延クロック群を生成する第 2 遅延クロック生成部と、

前記複数の第 2 遅延クロック群の中から 1 パルス毎に位相の異なる遅延クロックを順次選択して出力する第 2 切替制御部と、を有することを特徴とするクロック発生回

路。

【請求項 4】 所定間隔でパルスを発生させる基準クロック生成部と、

前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の第 1 遅延クロック群を生成する第 1 遅延クロック生成部と、

前記第 1 遅延クロック生成部によって生成された複数の遅延クロック群から、所望の入力信号の先端位置に同期した第 1 同期ポイント情報及び第 2 同期ポイント情報を検出する同期検出部と、

前記同期検出部において検出された第 1 同期ポイント情報と第 2 同期ポイント情報とから遅延クロック群の周期段数を求め、この周期段数に基づいて前記第 1 遅延クロック群の中から、位相の異なる遅延クロックを順次選択することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する第 1 切替制御部と、

前記第 1 切替制御部によって選択された遅延クロックについて、前記第 1 遅延クロック群より細かい間隔で遅延させて、位相の異なる複数の第 2 遅延クロック群を生成する第 2 遅延クロック生成部と、

前記複数の第 2 遅延クロック群の中から 1 パルス毎に位相の異なる遅延クロックを順次選択して出力する第 2 切替制御部と、を有することを特徴とするクロック発生回路。

【請求項 5】 所定間隔でパルスを発生させる基準クロック生成部と、

前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の第 1 遅延クロック群を生成する第 1 遅延クロック生成部と、

前記第 1 遅延クロック群から、第 1 の入力信号及び第 2 の入力信号のそれぞれの先端位置に同期した第 1 同期クロック及び第 2 同期クロックを検出する同期検出部と、

前記同期検出部において検出された第 1 同期クロックと第 2 同期クロックを参照し、前記第 1 同期クロックと前記第 2 同期クロックとの先端位置のずれ量を求め、該ずれ量に基づいて前記第 1 遅延クロック群の中から、位相の異なる遅延クロックを順次選択する第 1 切替制御部と、

前記第 1 切替制御部によって選択された遅延クロックについて、前記第 1 遅延クロック群より細かい間隔で遅延させて、位相の異なる複数の第 2 遅延クロック群を生成する第 2 遅延クロック生成部と、

前記複数の第 2 遅延クロック群の中から 1 パルス毎に位相の異なる遅延クロックを順次選択して出力する第 2 切替制御部と、を備え、

前記切替制御部により選択された位相の異なる遅延クロックを合成することによって、前記第 1 入力信号と前記第 2 入力信号とに基づいて出力される信号の先端位置を同期させ、かつ、所定時間内に前記第 1 入力信号と前記第 2 入力信号とに基づいて出力される信号のパルス数を

所定数にする、ことを特徴とするクロック発生回路。

【請求項 6】 主走査方向にライン単位でスキニングすることにより、ドットクロックに基づいて画像を形成する画像形成部と、

所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロックからなる遅延クロック群を生成する遅延クロック生成部と、前記遅延クロック生成部によって生成された遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出する同期検出部と、前記同期検出部において検出されたクロックをもとに、所定時間における複数の遅延クロックの周期段数を算出する演算部と、

上記算出された周期段数をもとに、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成する信号制御部と、を備えたことを特徴とする画像形成装置。

【請求項 7】 各走査ラインにおける走査長のずれ量を検出するずれ検出部と、前記ずれ検出部で検出されたずれ量をもとに、所定時間中で周期段数からずらす段数を判断する判断部を有し、前記信号制御部は前記判断部の判断した段数をもとに所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 6 記載の画像形成装置。

【請求項 8】 前記ずれ検出部は、特定の画像パターンを形成する手段と、前記画像パターンを読み取り、各走査ラインにおける走査長を検出するセンサと、を備え、前記センサに検出された走査長の比較により、前記ずれが検出される、ことを特徴とする請求項 7 記載の画像形成装置。

【請求項 9】 前記画像形成部は複数の走査露光手段を備えており、

さらに、

走査ラインにおける各走査露光手段の走査長のずれ量を検出するずれ検出部と、

前記ずれ検出部で検出されたずれ量をもとに、所定時間中で周期段数からずらす段数を判断する判断部を有し、前記信号制御部は前記判断部の判断した段数をもとに所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 6 記載の画像形成装置。

【請求項 10】 複数の色に対応する複数の現像手段を有し、

前記複数の走査露光手段は前記複数の各現像手段の色に対応する、ことを特徴とする請求項 9 記載の画像形成装置。

【請求項 11】 所定の時間を計測するための切り替えカウンタを有し、

前記信号制御部は、前記切り替えカウンタによって所定の時間が計測されるたびに周期段数からずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 6 記載の画像形成装置。

【請求項 12】 入力された情報をもとに所定時間中で周期段数からずらす段数を判断する判断部を有し、前記切り替えカウンタは前記判断部の判断した段数をもとに計測すべきカウント時間を決定し、

前記信号制御部は、決定されたカウント時間毎に周期段数からずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 11 記載の画像形成装置。

【請求項 13】 入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量を演算する演算部を有し、

前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量をもとにして、周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 6 記載の画像形成装置。

【請求項 14】 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量をもとにして、各パルス毎に周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択するか否か決定する、ことを特徴とする請求項 13 記載の画像形成装置。

【請求項 15】 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量を各パルス毎に累積し、累積された値によって、周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択するか否か決定する、ことを特徴とする請求項 13 記載の画像形成装置。

【請求項 16】 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量を遅延段数を基準として算出し、各パルス毎に算出された値を前記周期段数に累積し、累積された値の整数値を新たな段数として選択する、ことを特徴とする請求項 13 記載の画像形成装置。

【請求項 17】 所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロックからなる遅延クロック群を生成する遅延クロック生成部と、

前記遅延クロック生成部によって生成された遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出する同期検出部と、

前記同期検出部において検出されたクロックをもとに、所定時間における複数の遅延クロックの周期段数を算出する演算部と、

上記算出された周期段数をもとに、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロ

ックのパルス数を制御し、前記ドットクロックを形成する信号制御部と、を備えたことを特徴とするクロック発生回路。

【請求項 1 8】 前記同期検出部において検出される少なくとも 2 つのクロックは、前記インデックス信号の先端位置に同期したものである、ことを特徴とする請求項 1 7 記載のクロック発生回路。

【請求項 1 9】 入力された情報をもとに、所定時間中で周期段数からずらす段数を判断する判断部を有し、前記信号制御部は前記判断部の判断した段数をもとに所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 1 7 記載のクロック発生回路。

【請求項 2 0】 所定の時間を計測するための切り替えカウンタを有し、

前記信号制御部は、前記切り替えカウンタによって所定の時間が計測されるたびに周期段数からずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 1 7 記載のクロック発生回路。

【請求項 2 1】 入力された情報をもとに所定時間中で周期段数からずらす段数を判断する判断部を有し、前記切り替えカウンタは前記判断部の判断した段数をもとに計測すべきカウント時間を決定し、前記信号制御部は、決定されたカウント時間毎に周期段数からずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 2 0 記載のクロック発生回路。

【請求項 2 2】 前記所定時間中でカウントが繰り返される数は、前記所定時間中で周期段数からずらす段数と同じ数である、ことを特徴とする請求項 2 1 記載のクロック発生回路。

【請求項 2 3】 ずれの方向するずれ方向検出手段を備え、前記信号制御部は、前記検出された方向によって、遅延クロックが選択される段数の増減を制御する、ことを特徴とする請求項 1 7 記載のクロック発生回路。

【請求項 2 4】 入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量を演算する演算部を有し、

前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量をもとにして、周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 1 7 記載のクロック発生回路。

【請求項 2 5】 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量をもとにして、各パルス毎に周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択するか否か決定する、ことを特徴とする請求項 1 7 記載のクロック発生回路。

【請求項 2 6】 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量を各パルス毎に累積し、累

積された値によって、周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択するか否か決定する、ことを特徴とする請求項 1 7 記載のクロック発生回路。

【請求項 2 7】 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量を遅延段数を基準として算出し、各パルス毎に算出された値を前記周期段数に累積し、累積された値の整数値を新たな段数として選択する、ことを特徴とする請求項 1 7 記載のクロック発生回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明はクロック発生回路および画像形成装置に関し、さらに詳しくは、所定時間内に基準クロックのパルス数が所定数になるように調整するクロック発生回路とそのようなクロック発生回路を備えた画像形成装置に関する。

【0002】

【従来の技術】画像形成装置では、画像データに応じて変調したレーザビームを主走査方向に走査し、副走査方向に回転する像担持体上に画像を形成している。この場合に、ドットクロックと呼ばれる基準クロックを基準にして、レーザビームを画像データで変調している。

【0003】したがって、所定のドットクロック数に応じて、像担持体上に形成される主走査方向における画像の長さが常に一定になるようにドットクロックを生じる必要がある。

【0004】また、近年では記録紙上にカラー画像を得るために像担持体近傍に帯電、露光、現像の各手段を有するユニットを複数備えて、像担持体の 1 回転内に像担持体上にカラートナー像を形成し、一括して記録紙上に転写を行うカラー画像形成装置が開発されている。また、中間転写体近傍に複数の像担持体を有し、各像担持体の周囲に帯電、露光、現像、転写手段を備え、各像担持体上に形成されたトナー像を中間転写体に順次転写して行き、中間転写体に担持されたカラートナー像を一括して転写紙上に転写を行うカラー画像形成装置も開発されている。

【0005】

【発明が解決しようとする課題】前者のような画像形成装置において、主走査を行うポリゴンミラーの回転数の変動や、光学系の収差などによって、所定のドットクロック数に応じて像担持体上に形成される画像の長さがばらつく場合がある。

【0006】また、後者のように複数の露光手段を用いて像担持体上または中間転写体上にカラートナー像を形成するようなカラー画像形成装置においては、各露光手段のポリゴンミラーやレンズ等の光学系の特性のばらつきによって各露光手段間において像担持体上に形成される主走査方向における画像の長さにばらつきを生じ、そ

れが原因となって色ずれが生じる。

【0007】以上のような場合、ドットクロックの立ち上がりのタイミング（位相）や周波数を微妙に調整できることが好ましい。このような位相や周波数の調整を可能にする回路として、VCXO（電圧制御型水晶発振器）やDDS（デジタルダイレクトシンセサイザ）などが知られている。

【0008】このVCXOやDDSは精度の点では問題がないが、装置が高価になること、独立したデバイスであってシステムの1チップ化（集積回路化）に不向きである、などの点から画像形成装置のドットクロックの生成には適していない。

【0009】本発明は、上記の課題を解決するためになされたものであって、その目的は、外付け部品を使わず一つの集積回路内で、所定時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能なクロック発生回路および画像形成装置を提供することにある。

【0010】

【課題を解決するための手段】すなわち、課題を解決する手段としての本発明は以下に説明するようなものである。

【0011】（1）所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロックからなる遅延クロック群を生成する遅延クロック生成部とを有し、前記遅延クロック群の中から1パルス毎に位相の異なる遅延クロックを順次選択し、この選択された信号を合成することによって、所定時間内に発生するパルス数を所定数にしたクロックを生成する、クロック発生回路である。

【0012】このクロック発生回路では、遅延クロック群の中から、1パルス毎に位相の異なる遅延クロックを順次選択し、この選択された信号を合成することによって所定時間内に発生するパルス数を所定数にしたクロックを生成するようにしている。

【0013】（2）所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の第1遅延クロック群を生成する第1遅延クロック生成部とを有し、前記複数の第1遅延クロック群の中から位相の異なる遅延クロックを順次選択し、この選択された信号を合成することによって、所定時間内に発生するパルス数を所定数にしたクロックを生成するための第1選択手段と、前記第1選択手段によって選択された遅延クロックを遅延させて、位相の異なる複数の第2遅延クロック群を生成する第2遅延クロック生成部とを有し、前記複数の第2遅延クロック群の中から1パルス毎に位相の異なる遅延クロックを順次選択し、この選択された信号を合成することによって、所定時間内に発生するパ

ス数を所定数にしたクロックを生成する第2選択手段と、を備えたクロック発生回路である。

【0014】このクロック発生回路では、第1遅延クロック群の中から遅延クロックを選択することによって所定時間内に発生するパルス数を所定数にし、さらに選択された遅延クロックから第2遅延クロック群を生成し、第2遅延クロック群から1パルス毎に位相の異なる遅延クロックを順次選択するようにしている。

【0015】（3）所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の第1遅延クロック群を生成する第1遅延クロック生成部と、前記第1遅延クロック生成部によって生成された第1遅延クロック群からインデックス信号に同期したクロックを検出する同期検出部と、前記同期検出部において検出されたクロックを参照して位相補正量を求め、この位相補正量に基づいて前記第1遅延クロック群の中から、位相の異なる遅延クロックを順次選択することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する第1切替制御部と、前記第1切替制御部によって選択された遅延クロックについて、前記第1遅延クロック群より細かい間隔で遅延させて、位相の異なる複数の第2遅延クロック群を生成する第2遅延クロック生成部と、前記複数の第2遅延クロック群の中から1パルス毎に位相の異なる遅延クロックを順次選択して出力する第2切替制御部と、を有するクロック発生回路である。

【0016】このクロック発生回路では、第1遅延クロック群の中からインデックス信号に同期したクロックを検出して位相補正量を求め、この位相補正量に基づいて第1遅延クロック群の中から位相の異なる遅延クロックを順次選択することによって所定時間内に発生するパルス数を所定数にし、さらに選択された遅延クロックから第2遅延クロック群を生成し、第2遅延クロック群から1パルス毎に位相の異なる遅延クロックを順次選択するようにしている。

【0017】（4）所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の第1遅延クロック群を生成する第1遅延クロック生成部と、前記第1遅延クロック生成部によって生成された複数の遅延クロック群から、インデックス信号に同期した第1同期ポイント情報及び第2同期ポイント情報を検出する同期検出部と、前記同期検出部において検出された第1同期ポイント情報と第2同期ポイント情報とから遅延クロック群の周期段数を求め、この周期段数に基づいて前記第1遅延クロック群の中から、位相の異なる遅延クロックを順次選択することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する第1切替制御部と、前記第1切替制御部によって選択された

遅延クロックについて、前記第 1 遅延クロック群より細かい間隔で遅延させて、位相の異なる複数の第 2 遅延クロック群を生成する第 2 遅延クロック生成部と、前記複数の第 2 遅延クロック群の中から 1 パルス毎に位相の異なる遅延クロックを順次選択して出力する第 2 切替制御部と、を有するクロック発生回路である。

【0018】このクロック発生回路では、第 1 同期ポイント情報と第 2 同期ポイント情報とから遅延クロック群の周期段数を求め、この周期段数に基づいて複数の遅延クロック群の中から、位相の異なる遅延クロックを順次選択することによって所定時間内に発生するパルス数を所定数にし、さらに選択された遅延クロックから第 2 遅延クロック群を生成し、第 2 遅延クロック群から 1 パルス毎に位相の異なる遅延クロックを順次選択するようにしている。

【0019】(5) 所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の第 1 遅延クロック群を生成する第 1 遅延クロック生成部と、前記第 1 遅延クロック群から、第 1 の入力信号及び第 2 の入力信号のそれぞれの先端位置に同期した第 1 同期クロック及び第 2 同期クロックを検出する同期検出部と、前記同期検出部において検出された第 1 同期クロックと第 2 同期クロックを参照し、前記第 1 同期クロックと前記第 2 同期クロックとの先端位置のずれ量を求め、該ずれ量に基づいて前記第 1 遅延クロック群の中から、位相の異なる遅延クロックを順次選択する第 1 切替制御部と、前記第 1 切替制御部によって選択された遅延クロックについて、前記第 1 遅延クロック群より細かい間隔で遅延させて、位相の異なる複数の第 2 遅延クロック群を生成する第 2 遅延クロック生成部と、前記複数の第 2 遅延クロック群の中から 1 パルス毎に位相の異なる遅延クロックを順次選択して出力する第 2 切替制御部と、を備え、前記切替制御部により選択された位相の異なる遅延クロックを合成することによって、前記第 1 入力信号と前記第 2 入力信号とに基づいて出力される信号の先端位置を同期させ、かつ、所定時間内に前記第 1 入力信号と前記第 2 入力信号とに基づいて出力される信号のパルス数を所定数にする、クロック発生回路である。

【0020】このクロック発生回路では、第 1 入力信号と前記第 2 入力信号とに基づいて出力される信号の先端位置を同期させ、かつ、所定時間内に前記第 1 入力信号と前記第 2 入力信号とに基づいて出力される信号のパルス数を所定数にするようにし、さらに選択された遅延クロックから第 2 遅延クロック群を生成し、第 2 遅延クロック群から 1 パルス毎に位相の異なる遅延クロックを順次選択するようにしている。

【0021】すなわち、少なくとも 2 つのクロックにおいて、クロック周波数を微調整して合わせることなく、先端位置の同期あわせと、パルス数を所定数にすると共に、

さらに、選択された遅延クロックについて位相を細かく徐々に変えた第 2 遅延クロック群を作成して 1 パルス毎に位相の異なる遅延クロックを選択する。

【0022】(6) 主走査方向にライン単位でスキヤニングすることにより、ドットクロックに基づいて画像を形成する画像形成部と、所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロックからなる遅延クロック群を生成する遅延クロック生成部と、前記遅延クロック生成部によって生成された遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出する同期検出部と、前記同期検出部において検出されたクロックをもとに、所定時間における複数の遅延クロックの周期段数を算出する演算部と、上記算出された周期段数をもとに、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成する信号制御部と、を備えたことを特徴とする画像形成装置である。

【0023】この画像形成装置では、遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0024】(7) 各走査ラインにおける走査長のずれ量を検出するずれ検出部と、前記ずれ検出部で検出されたずれ量をもとに、所定時間中で周期段数からずらす段数を判断する判断部を有し、前記信号制御部は前記判断部の判断した段数をもとに所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 6 記載の画像形成装置である。

【0025】この画像形成装置では、遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、検出したずれ量によって周期段数からずらす段数を判断し、順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0026】(8) 前記ずれ検出部は、特定の画像パターンを形成する手段と、前記画像パターンを読み取り、各走査ラインにおける走査長を検出するセンサと、を備え、前記センサに検出された走査長の比較により、前記ずれが検出される、ことを特徴とする請求項 7 記載の画像形成装置である。

【0027】この画像形成装置では、遅延クロック群から所定のインデックス信号に同期した少なくとも2つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、各走査ラインの走査長を検出したずれ量によって周期段数からずらす段数を判断し、順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0028】(9) 前記画像形成部は複数の走査露光手段を備えており、さらに、走査ラインにおける各走査露光手段の走査長のずれ量を検出するずれ検出部と、前記ずれ検出部で検出されたずれ量をもとに、所定時間中で周期段数からずらす段数を判断する判断部を有し、前記信号制御部は前記判断部の判断した段数をもとに所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項6記載の画像形成装置である。

【0029】この画像形成装置では、遅延クロック群から所定のインデックス信号に同期した少なくとも2つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出する際に、各走査露光手段における走査ラインの走査長を検出したずれ量によって周期段数からずらす段数を判断し、順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0030】(10) 複数の色に対応する複数の現像手段を有し、前記複数の走査露光手段は前記複数の各現像手段の色に対応する、ことを特徴とする請求項9記載の画像形成装置である。

【0031】この画像形成装置では、各色の走査露光と現像と、さらに所定時間内に出力されるクロックのパルス数を制御したドットクロックの形成により、色ずれのないカラー画像形成がなされる。

【0032】(11) 所定の時間を計測するための切り替えカウンタを有し、前記信号制御部は、前記切り替えカウンタによって所定の時間が計測されるたびに周期段数からずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項6記載の画像形成装置である。

【0033】この画像形成装置では、遅延クロック群から所定のインデックス信号に同期した少なくとも2つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成する処理を、所定の時間が計測されるたびに実行するようにしている。

【0034】(12) 入力された情報をもとに所定時間中で周期段数からずらす段数を判断する判断部を有し、前記切り替えカウンタは前記判断部の判断した段数をもとに計測すべきカウント時間を決定し、前記信号制御部は、決定されたカウント時間毎に周期段数からずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項11記載の画像形成装置である。

【0035】この画像形成装置では、遅延クロック群から所定のインデックス信号に同期した少なくとも2つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成する処理を、ずらす段数と所定のカウント時間とに応じて実行するようにしている。

【0036】(13) 入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量を演算する演算部を有し、前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量をもとにして、周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項6記載の画像形成装置である。

【0037】この画像形成装置では、入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量を演算した結果をもとにして、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0038】(14) 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量をもとにして、各パルス毎に周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択するか否かを決定する、ことを特徴とする請求項13記載の画像形成装置である。

【0039】この画像形成装置では、入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量を演算した結果をもとにして、選択するか否かを決定し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0040】(15) 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量を各パルス毎に累積し、累積された値によって、周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択するか否かを決定する、ことを特徴とする請求項13記載の画像形成装置である。

【0041】この画像形成装置では、入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ

量を演算した結果をもとにして、ずれ量を累積して選択するか否かを決定し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0042】(16) 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量を遅延段数を基準として算出し、各パルス毎に算出された値を前記周期段数に累積し、累積された値の整数値を新たな段数として選択

する、ことを特徴とする請求項 13 記載の画像形成装置である。

【0043】この画像形成装置では、入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量から遅延段数を算出し、算出結果を累積し、累積値の整数値を新たな段数として、選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0044】(17) 所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロックからなる遅延クロック群を生成する遅延クロック生成部と、前記遅延クロック生成部によって生成された遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出する同期検出部と、前記同期検出部において検出されたクロックをもとに、所定時間における複数の遅延クロックの周期段数を算出する演算部と、上記算出された周期段数をもとに、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成する信号制御部と、を備えたことを特徴とするクロック発生回路である。

【0045】このクロック発生回路では、遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するよう

にしている。

【0046】(18) 前記同期検出部において検出される少なくとも 2 つのクロックは、前記インデックス信号の先端位置に同期したものである、ことを特徴とする請求項 17 記載のクロック発生回路である。

【0047】このクロック発生回路では、遅延クロック群からインデックス信号の先端位置に同期した 2 つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する

ことにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0048】(19) 入力された情報をもとに、所定時間中で周期段数からずらす段数を判断する判断部を有し、前記信号制御部は前記判断部の判断した段数をもとに所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 17 記載のクロック発生回路である。

【0049】このクロック発生回路では、遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、検出したずれ量によって周期段数からずらす段数を判断し、順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0050】(20) 所定の時間を計測するための切り替えカウンタを有し、前記信号制御部は、前記切り替えカウンタによって所定の時間が計測されるたびに周期段数からずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 17 記載のクロック発生回路である。

【0051】このクロック発生回路では、遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成する処理を、所定の時間が計測されるたび毎に実行するようにしている。

【0052】(21) 入力された情報をもとに所定時間中で周期段数からずらす段数を判断する判断部を有し、前記切り替えカウンタは前記判断部の判断した段数をもとに計測すべきカウント時間を決定し、前記信号制御部は、決定されたカウント時間毎に周期段数からずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 20 記載のクロック発生回路である。

【0053】このクロック発生回路では、遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成する処理を、ずらす段数と所定のカウント時間とに応じて実行するようにしている。

【0054】(22) 前記所定時間中でカウントが繰り

返される数は、前記所定時間中で周期段数からずらす段数と同じ数である、ことを特徴とする請求項 2 記載のクロック発生回路である。

【0055】このクロック発生回路では、遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成する処理を、ずらす段数と所定のカウント時間とに応じて実行するようにしている。ここで、カウントが繰り返される数は、ずらす段数と同じ数になっている。

【0056】(23) ずれの方向するずれ方向検出手段を備え、前記信号制御部は、前記検出された方向によって、遅延クロックが選択される段数の増減を制御する、ことを特徴とする請求項 1 記載のクロック発生回路である。

【0057】このクロック発生回路では、遅延クロック群から所定のインデックス信号に同期した少なくとも 2 つのクロックを検出し、所定時間における複数の遅延クロックの周期段数を算出し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。この際、遅延クロックの段数の増減の方向は、ずれの方向によって制御される。

【0058】(24) 入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量を演算する演算部を有し、前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量をもとにして、周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択する、ことを特徴とする請求項 1 記載のクロック発生回路である。

【0059】このクロック発生回路では、入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量を演算した結果をもとにして、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0060】(25) 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量をもとにして、各パルス毎に周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択するか否か決定する、ことを特徴とする請求項 1 記載のクロック発生回路である。

【0061】このクロック発生回路では、入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量を演算した結果をもとにして、選択するか否かを決定し、所定時間中で周期段数から順次ずらした遅延ク

ロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0062】(26) 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量を各パルス毎に累積し、累積された値によって、周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択するか否か決定する、ことを特徴とする請求項 1 記載のクロック発生回路である。

【0063】このクロック発生回路では、入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量を演算した結果をもとにして、ずれ量を累積して選択するか否かを決定し、所定時間中で周期段数から順次ずらした遅延クロックを前記遅延クロック群から選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0064】(27) 前記信号制御部は、前記演算部の演算した前記各パルス毎のずれ量を遅延段数を基準として算出し、各パルス毎に算出された値を前記周期段数に累積し、累積された値の整数値を新たな段数として選択する、ことを特徴とする請求項 1 記載のクロック発生回路である。

【0065】このクロック発生回路では、入力された情報をもとに各クロックのパルス毎の周期段数から平均のずれ量から遅延段数を算出し、算出結果を累積し、累積値の整数値を新たな段数として、選択することにより、所定時間内に出力されるクロックのパルス数を制御し、前記ドットクロックを形成するようにしている。

【0066】

【発明の実施の形態】以下、図面を参照して、本発明の画像形成装置およびクロック発生回路の実施の形態例を詳細に説明する。

【0067】＜画像形成装置、クロック発生回路の全体構成＞図 2 は本発明の実施の形態例の画像形成装置の電気的な全体構成を示す構成図である。この図 2 において、1 は画像が形成される像担持体、200 は後述するドットクロックを発生するための制御手段としての CPU、210 は像担持体 1 に形成される所定の画像からの反射光を読み取ってずれを検出するための反射型センサ、250 はドットクロックに応じて画像信号を読み出し、画像信号の信号値に応じたパワーのレーザビームを像担持体 1 に対して出力する Y 露光ユニット、270 はドットクロックに応じて画像信号を読み出し、画像信号の信号値に応じたパワーのレーザビームを像担持体 1 に対して出力する M 露光ユニット、290 はドットクロックに応じて画像信号を読み出し、画像信号の信号値に応じたパワーの

レーザビームを像担持体 1 に対して出力する K 露光ユニットである。

【0068】<クロック発生回路を適用可能な画像形成装置の全体構成>ここで、本発明の一実施の形態例のクロック発生回路を適用することが可能なカラー画像形成装置の機械的な構成図である図 3 を用いて、カラー画像形成装置の全体構成を説明する。

【0069】なお、本実施の形態例の画像形成装置は、多色の画像形成装置であり、ここでは、Y (イエロー)、M (マゼンタ)、C (シアン)、K (黒) の 4 色のトナーを使用するカラー画像形成装置を例にする。

【0070】最初に、上ローラ 3 と下ローラ 5 と横ローラ 7 とに巻回された無端ベルト状の像担持体 (感光体) 1 は、上ローラ 3 と下ローラ 5 とにより上下方向に張架され、図中の矢印 I 方向に駆動される。

【0071】さらに、像担持体 1 が下から上へ移動する面には、像担持体 1 によって形成された閉空間方向に像担持体 1 を押圧し、像担持体 1 を閉空間方向に案内するガイド手段としての押圧ローラ 9 が設けられている。

【0072】像担持体 1 が下から上へ移動する面の上部には、像担持体 1 に摺接し、像担持体 1 上の現像剤を除去するクリーニング手段 11 が設けられている。クリーニング手段 11 の下方には、クリーニング手段 11 によって除去された現像剤を捕集する捕集手段としての回収ボックス 21 が像担持体 1 に沿って設けられている。

【0073】次に、像担持体 1 に対して潜像を形成する潜像形成手段の説明を行なう。本実施の形態例の画像形成装置は、4 色のカラー画像形成装置であるので、各色に応じて四つの潜像形成手段を有している。

【0074】すなわち、像担持体 1 に対してレーザ光を用いて Y (イエロー) 用の潜像を形成する Y 光学書き込み部 25 と、像担持体 1 に対してレーザ光を用いて M (マゼンタ) 用の潜像を形成する M 光学書き込み部 27 と、像担持体 1 に対してレーザ光を用いて C (シアン) 用の潜像を形成する C 光学書き込み部 31 と、像担持体 1 に対してレーザ光を用いて K (黒) 用の潜像を形成する K 光学書き込み部である。

【0075】次に、現像器の説明を行なう。像担持体 1 上に形成された各色の静電潜像を現像する四つの現像器が設けられている。すなわち、Y 光学書き込み部 25 で形成された潜像を現像する Y 現像器 42 と、M 光学書き込み部 27 で形成された潜像を現像する M 現像器 43 と、C 光学書き込み部 29 で形成された潜像を現像する C 現像器 45 と、K 光学書き込み部 31 で形成された潜像を現像する K 現像器 47 である。

【0076】また、各色の現像器 42, 43, 45, 47 に対応して、像担持体 1 に電荷を付与する帯電手段の帯電極が設けられている。すなわち、Y 用の帯電極 61 と、M 用の帯電極 63 と、C 用の帯電極 65 と、K 用の帯電極 67 である。さらに、本実施の形態例の各色の帯

電手段は、像担持体 1 上の帯電電位を制御するグリッド 71, 73, 75, 77 を有している。

【0077】81 は給紙部で、転写材としての転写紙 P が収納されたカセット 83 が設けられている。このカセット 83 の転写紙 P は、搬送ローラ 85 により搬出され、搬送ローラ対 87、レジストローラ 88 により挟持搬送され、転写手段 91 に給送される。

【0078】転写手段 91 には、像担持体 1 と異なる極性の電位に保たれた転写ローラ 92 が設けられ、この転写ローラ 92 は横ローラ 7 と協働して像担持体 1 を挟むように設けられている。

【0079】100 は熱ローラ対 101 の挟着により、転写紙 P に熱、圧力を加え、トナーを転写紙 P に融着させる定着部、110 は熱定着を終えた転写紙 P を排紙トレイ 111 まで挟持搬送する搬送ローラ対である。

【0080】また、120 は装置外に設けられた給紙部から搬送された別サイズの転写紙 P が通る給紙路である。次に、上記構成の画像形成装置の全体の動作を説明する。像担持体 1 が矢印 I 方向に駆動されると、帯電極 61 及びグリッド 71 からなる Y 用の帯電手段により、像担持体 1 上は所定の帯電電位となる。

【0081】次に、Y 光学書き込み部 25 により、像担持体 1 に静電潜像が形成される。そして、Y 現像器 42 の現像スリーブ 55 に担持された現像剤中のトナーがクーロン力により像担持体 1 上に移動し、像担持体 1 上にトナー像が形成される。

【0082】これと同様な動作を残りの色、すなわち、M, C, K について行い、像担持体 1 上の Y, M, C, K のトナー像を形成する。一方、給紙部 81 からは、転写紙 P が、搬送ローラ 85、搬送ローラ対 87 によって転写手段 91 に向け給送される。

【0083】給送された転写紙 P は、レジストローラ 88 により、像担持体 1 上のトナー画像とタイミング調整した上で、同期して転写手段 91 に給送され、転写手段 91 の転写ローラ 92 により帯電され、像担持体 1 上の現像剤像が転写紙 P に転写される。

【0084】次に、転写紙 P は、定着部 100 で加熱、加圧され、トナーが転写紙 P に融着され、搬送ローラ対 110 により排紙トレイ 111 上に排出される。また、転写が終了した像担持体 1 上の余剰のトナーは、クリーニング手段 11 のブレード 17 により除去され、回収ボックス 21 内に貯留される。

【0085】<クロック発生回路を適用可能な画像形成装置の光学的構成>なお、光学書き込み部の構成は、図 4 のようになっている。すなわち、回路部 480 で生成された信号に基づいて、LD 470 が発光する。そして、LD 470 からのレーザビームは、コリメータレンズ 491、シリンダカルレンズ 492 を通った後にポリゴンミラー 493 で走査され、f θ レンズ 494、シリンダカルレンズ 495 を通過して像担持体 1 に書き

込まれる。なお、ポリゴンミラーで走査されたレーザビームの一部はインデックスセンサ402に導かれて、タイミングが検出される。

【0086】<クロック発生回路の詳細構成>以下、本発明のクロック発生回路の実施の形態例を詳細に説明する。図1は上述したY露光ユニット250、M露光ユニット270、C露光ユニット290、K露光ユニット310内の電氣的な露光ユニット400の回路構成を、CPU200などと共に示すブロック図である。なお、この図1では、露光ユニット400を一つのみ示すが、実際には同等なものがY・M・C・Kのそれぞれに存在しているものとする。

【0087】この図1において、第1ディレイチェーン部410は入力信号（基準クロック発生部401からの基準クロック）を遅延させて位相が少しずつ異なる複数の遅延クロック（第1遅延クロック群：図1）を得るための、本発明の第1遅延クロック生成部を構成するディレイ素子群である。

【0088】ここで、第1ディレイチェーン部410は、位相が少しずつ異なる遅延クロックについて、基準クロックの2周期分にわたって生成できる段数になるようにチェーン状にディレイ素子が縦続接続されていることが好ましい。

【0089】なお、基準クロック発生部401は、個々の露光ユニットにそれぞれ内蔵されていてもよいが、単一の基準クロック発生部401からそれぞれの露光ユニットに基準クロックを分配してもよい。

【0090】また、インデックスセンサ402はレーザビームの走査における基準位置を検出するものである。同期クロック検出部420はインデックスセンサ402での検出信号を受け、第1遅延クロック群（図1）の中でインデックス信号（所望の入力信号の先端位置）に同期している遅延クロックの段数（同期ポイント）を検出する検出手段であり、同期ポイント情報（図1）を出力する。

【0091】ここで、同期クロック検出部420は、第1遅延クロック群（図1）の中で、最初にインデックス信号に同期している第1同期ポイント情報SP1と、2番目にインデックス信号に同期している第2同期ポイント情報SP2と、を出力できることが好ましい。

【0092】画像先端制御部430は同期クロック検出部420からの同期ポイント情報（図1）を受け、CPU200からの画像先端ずれ情報（図1）をもとに補正同期ポイント情報（図1）を出力する。

【0093】遅延クロック切り替え制御部440は、画像先端制御部430からの補正同期ポイント情報（図1）と、CPU200からの周波数ずれ情報（図1）とに基づいて、位相補正量を求め、第1遅延クロック群（図1）の中からどの位相の遅延クロックを選択すべきかの上位セレクト信号（図1）を出力するものであ

る。

【0094】遅延クロックセレクト部450は遅延クロック切り替え制御部440からの上位セレクト信号（図1）を受け、第1遅延クロック群（図1）の中から対応する位相の遅延クロックを選択し、第1ドットクロック（図1）として出力するものである。

【0095】また、第2ディレイチェーン部412は前記第1ドットクロックを受けて、第1ディレイチェーン部410で生成される位相のずれ分を更に細分して位相が少しずつ異なる第2遅延クロック群（図1）を生成できる段数になるようにチェーン状にディレイ素子が縦続接続されていることが好ましい。

【0096】また、第2セレクト部452は、遅延クロック切り替え制御部440からの下位セレクト信号（図1）を受け、第2遅延クロック群（図1）の中から対応する位相の遅延クロックを選択し、最終的なドットクロックとして出力するものである。

【0097】そして、PWM部460は最終的なドットクロックと画像信号とを受けて、レーザダイオード（LD）470を駆動するための信号を発生する。LD470からは画像信号の値に応じてパルス幅変調されたレーザビームが、像担持体1に向けて照射される。

【0098】<ずれ検出の原理>ここで、図5を参照し、ずれ検出の様子について簡単に説明する。露光ユニット250、270、290、310により所定のパターン（ここでは、「フ」字状のパターン）の画像を、像担持体上の主走査方向先端側に形成する。像担持体上には実線で示すパターンが形成されているが、本来は破線で示す基準パターンが形成される予定であったとする。

【0099】ここでは、露光ユニットや各光学系の収差などにより、主走査方向にdxのずれが発生している。この場合に、像担持体を副走査方向に移動させつつ、パターンを読み取れる位置に配置された反射型センサ210で読み取りを行うことで、「フ」字状のパターンの横線から斜線までの距離Y'に相当する読み取り時間が得られる。

【0100】像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差とにより、dyを求めることもできる。つぎに、横線と斜線とがなす角度をθとすると、 $dx = dy / \tan \theta$ で、主走査方向のずれdxも求められる。

【0101】したがって、Y、M、C、Kの各色について、このような所定のパターンの形成と読み取りとを行うことで、主走査方向の先端の画像のずれ状態（画像先端ずれ情報）を検出することが可能になる。

【0102】また、同一副走査位置であって、主走査方向先端側と主走査方向末端側とに同じ形状の「フ」字状のパターンを形成し、その間隔を測定することによって主走査方向の画像の伸び縮みに関するずれ状態（周波数ずれ情報）を検出することができる。

【0103】そして、CPU200が以上のような検出処理を行って、画像先端ずれ情報(図1、図2)および、周波数ずれ情報(図1、図2)として露光ユニットに供給する。

【0104】<クロック発生回路の動作>つぎに、クロック発生回路の動作の説明を行う。ここでは、Y、M、C、Kの4色の画像形成を行う画像形成装置に適用した場合を例にして説明を行う。

【0105】なお、この実施の形態例のクロック発生回路を用いる画像形成装置は、Y露光ユニット250、M露光ユニット270、C露光ユニット290、K露光ユニット310を備えており、ベルト状の像担持体が1回転する間に4色の画像を形成する装置や、Y、M、C、Kの各色毎に露光ユニットと感光体ドラムとを備えていて1パスで画像形成を行う装置などが該当する。

【0106】すなわち、複数の露光ユニットを備えていて、同一の基準クロックを使用しても色ずれが発生する可能性のある画像形成装置であれば、このような形式以外の各種の画像形成装置に適用することが可能である。

【0107】<動作例>まず、図6のタイムチャートを参照し、ある特定の1色について、周波数ずれ情報を参照して、1パルス毎に位相の異なる遅延クロックを順次シフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるように調整する動作について、第1ドットクロックを発生するところまでを説明する。

【0108】前述した所定パターンの形成と読み取りとによって検出されたずれERを示すずれ情報、基準クロックの周波数から求められるクロック周期TCのクロック周期情報、主走査方向に形成すべき画素数PHを示す1ライン画素数情報が、CPU200から遅延クロック切り替え制御部440内の補正量演算手段に与えられる。また、同期クロック検出部420からの第1同期ポイント情報SP1と第2同期ポイント情報SP2とから、周期段数NSを求める。

【0109】ここで遅延クロック切り替え制御部440内の補正量演算手段は、以下に示す式に基づいて、補正量に対応する補正カウント値(カウントロードデータ)CCを求める。

【0110】 $CC = PH \times (NS / TC) / ER$ … この補正カウント値CCは、遅延クロック切り替え制御部440内の切替カウント手段がパルス数をカウントダウンして上位セレクト信号および下位セレクト信号の切替を行うためのものである。したがって、補正量が大きいほど切替のための補正カウント値CCは小さくなる。

【0111】また、同期クロック検出部420はインデックスセンサ402からのインデックス信号の立ち上がりを参照して、このインデックス信号の立ち上がり同期した遅延クロックが得られる第1ディレイチェーン部410の段番号を同期ポイント情報として求める。

【0112】ここでは、第1同期ポイント情報SP1として20が、第2同期ポイント情報SP2として50が得られたとする。なお、この場合には、上述した周期段数NSは30になる。

【0113】ここで、露光ユニットのレーザビームの走査により、インデックスセンサがレーザビームを検出したタイミングでインデックス信号を発生する(図6(a))。この後、水平方向の有効領域を示すH_VALIDがアクティブになる。

【0114】そして、遅延クロック切り替え制御部440内の切替カウント手段は前記補正カウント値CCを基準クロックに従ってカウントダウンすることを繰り返す。そして、カウントダウンによりカウント値が0になる毎に遅延クロック切り替え制御部440内のセレクト信号演算手段443にカウントデータを割り込みとして与える(図6(d)~(f))。

【0115】また、CPU200はずれ方向情報を遅延クロック切り替え制御部440内のセレクト信号演算手段に与えており、主走査方向に伸びたずれに対しては縮める補正を行うための「-補正」、主走査方向に縮んだずれに対しては伸ばす補正を行うための「+補正」の情報を与える。ここでは、「-補正」の場合を例にする。

【0116】前述した所定パターンの形成とその測定により、ずれ情報ERおよびずれ方向情報が求められているとする。ここでは、 $ER = 6 \text{ ns}$ 、ずれ方向情報=「-補正」であり、すなわち、画像が伸びていたために縮めさせるように補正することを示していたと仮定する。

【0117】まず、同期クロック検出部420がインデックスセンサ(図示せず)からのインデックス信号の立ち上がりを参照して、第1同期ポイント情報SP1及び第2同期ポイント情報SP2を求める。

【0118】前記第1同期ポイント情報SP1はインデックス信号の立ち上がり同期した第1ディレイチェーン部410のディレイ素子の段番号を示しており、前記第2同期ポイント情報SP2は前記第1同期ポイント情報SP1から基準クロック1周期分遅れた第1ディレイチェーン部410のディレイ素子の段番号を示している。

【0119】ここでは、 $SP1 = 20$ 、 $SP2 = 50$ であったとする。なお、この様子を図7に示す。ここでは、20段目のDL20(図7(c))と、このDL20からクロック1周期分遅れた50段目のDL50(図7(m))とが、インデックス信号の立ち上がり(図7(a))に同期している状態を示している。

【0120】つぎに、前記第1同期ポイント情報SP1と第2同期ポイント情報SP2から、周期段数NSを求める。ここで、前記周期段数NSは、基準クロック1周期分の時間が何段のディレイ素子の遅延時間に相当するかを示している。本実施の形態例では、周期段数 $NS = SP2 - SP1$ より、 $NS = 30$ となる。

【0121】また、1段あたりのディレイ素子の遅延時間DTを、前記NS及び基準クロックの周期から求める。たとえば、基準クロック周期TCが30nsであった場合はNS=30であるので、 $DT=TC/NS$ よりDT=1nsとなる。

【0122】そして、適正な画像信号を得るためには最終的に第1ディレイチェーン部410のディレイ素子何段分ずらすかを示す切替段数NCを、ずれ情報ER、ずれ方向情報及び遅延時間DTから求める。ここでは、ER=6ns、ずれ方向情報=「-補正」、DT=1nsより、切替段数NC=-6となる。

【0123】以上の切替段数NCより、適正な画像信号を得るためには最終的にディレイ素子の段数を6段分進めればよい。すなわち、インデックス信号の立ち上がり同期して最初は50段目のディレイ素子からのクロックを採用し、その後上位セレクト信号に同期して1走査ライン中において、49段目、48段目、47段目、46段目、45段目の信号に順次置き換えて採用していき、最終的には44段目からのクロックを採用するようにすればよい。

【0124】なお、切替段数NCが周期段数NSより大きい場合には、上位セレクト信号を循環させるようにすればよい。上述した例で、SP1=20、SP2=50、周期段数30の場合の「-補正」では、上位セレクト信号が50、49、…、21、20、となった時点で、上位セレクト信号の20と上位セレクト信号の50とは等しい位相であるので、次は49、48、…とすればよい。すなわち、50、49、…、21、20(=50)、49、48…、となる。また、「+補正」においても同様に上位セレクト信号を循環させるようにすればよい。

【0125】また、50、47、43、…、22、19と3段ずつ「-補正」する場合には、SP1=20を超えることになるが、19の次には、 $50-(20-19)-3=46$ とする。すなわち、同期ポイントを超えた分と1つの補正量とを加えた状態にして循環させることで、問題なく循環させることができる。

【0126】このような上位セレクト信号を受けた遅延クロックセレクト部450では、第1ディレイチェーン部410からの第1遅延クロック群(図1)の中から、50段目、49段目、48段目、47段目、…のように選択を行って、第1ドットクロックとして第2ディレイチェーン部412に供給する(図6(g))。

【0127】ところで、1ライン画素数が6000ドット、第1遅延クロック群の1段の遅延時間が1nsでずれ量ER=-150nsの場合には、以上の第1ドットクロックの切り替えは40ドット毎に実行される。この様子を図8(a)に示す。この状態では、最終的には正確な補正がなされるが、途中において段階的な切り替えがなされている。そこで、第2ディレイチェーン部41

2は前記第1ドットクロックを受けて、第1ディレイチェーン部410で生成される位相のずれ分を更に細分して位相が少しずつ異なる第2遅延クロック群(図1)を生成しておき、第2セレクト部452において1ドット毎に異なる位相の遅延クロックを選択する。

【0128】この場合、1ドット毎に $1/40=0.025$ nsの「-補正」を行うように、遅延クロック切り替え制御部440からの下位セレクト信号(図1)に基づいた選択を第2セレクト部452において行う。この様子を図8(b)に示す。なお、この第2ディレイチェーン部412での遅延時間は正確に制御されたものでなくとも、前述した第1ディレイチェーン部410が正確に制御されていることで、最終的に正確な補正がなされることになる。

【0129】したがって、細かな位相の切り替えを行うための第2ディレイチェーン部412の精度はあまり要求されないため、廉価な回路を用いることが可能になるものの、最終的には第1ディレイチェーン部410によって正確な補正がなされることになる。

【0130】そして、このように第2セレクト部452において1ドット毎に細かく位相を切り替えた最終的なドットクロックをPWM部460に供給して、画像信号に応じたレーザビームをLD470から照射する。

【0131】なお、以上の第2ディレイチェーン部412の遅延時間はそれほど正確に制御されたものではないため、図8(b)の位置が連続した状態になるとは限らない。そこで以上の動作を行う際に、V_VALIDがアクティブである期間中は、H_VALIDにかかわらず、遅延クロック切り替え制御部440内の切替カウント手段を動作させつづけるようにする。このようにすることで、各水平ラインでランダムな位置で上述した第1遅延クロック群の切り替えが行われるようになり、画像において第1ドットクロックの切り替え位置(図8(b))の存在が目立たなくなる。

【0132】<動作例>つぎに、図9のタイムチャートを参照し、Y、M、C、Kの4色についての書き込みユニット1~4のずれ情報を参照して、1パルス毎に位相の異なる遅延クロックを順次シフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるように調整する動作について説明する。

【0133】また、この動作例では、具体的数値を用いて説明を行う。なお、ここでは、Yの画像を基準にして、Yに対するMCKの相対的なずれ(ERym_data, ERyc_data, ERyk_data)を検出し、M(書き込みユニット2)、C(書き込みユニット3)、K(書き込みユニット4)をY(書き込みユニット1)に合わせるような補正を行う場合を例にして説明する。

【0134】ここで、主走査方向の1ライン画素数PH=4720、第1ディレイチェーン部410の遅延段数

=256, クロック周波数=33MHz, クロック周期
 $TC=30\text{ns}$, 1段の遅延時間 $DT=1\text{ns}$ ($0.5\text{ns} \sim 2.0\text{ns}$), 周期段数 $NS=30$, なお、1画
 素あたりのずれ量(エラー量)を $ERROR_data$, 1
 ラインあたりのずれ量 ER_data (ただし、以下の式で
 は、周波数ずれ情報を $FREQ_data$), 周期段数 NS
 に対応する修正量を $REVISE_data$ とした場合、
 $ERROR_data = FREQ_data \div PH$
 $REVISE_data = ERROR_data \times NS$
 となる。また、Yでの $SP1y=10$, $SP2y=40$, $NS=30$, であるとする。

【0135】 まず、M(書き込みユニット2)では、
 $SP1m=20$, $SP2m=50$, $NS=30$, $ERym_data$
 $=+3$ クロックと $+4/32$ クロック, であるとする。
 この場合の補正量 $REVISE_data$ は、
 $\{(3 + (4/32)) \div 4720\} \times 30$
 $= \{(100/32) \div 4720\} \times 30$
 $= 0.01986228813559$
 $\approx 0.0199\text{(ns)}$

のように近似する。そして、以上の補正量を第2ディレ
 イチェーン部412の遅延量により、1ドット毎に補正
 してゆく。

【0136】 すなわち、各ドット毎に、以下の計算を順
 次実行し、遅延クロック1段分の遅延時間 DT (ここ
 では 1ns)を超える毎に(ここでは、20, ..., ..., 2
 1, ...)、1段分ずらした遅延クロックを選択する。

$20.0000 + 0.0199 = 20.0199$
 $20.0199 + 0.0199 = 20.0398$
 $20.0398 + 0.0199 = 20.0597$
 $20.0597 + 0.0199 = 20.0796$

すなわち、上記の累積された値の整数部分を参照して選
 択すればよい。

【0137】 なお、小数点の切り捨てた部分に関して
 は、要求される精度の範囲で、第1ディレイチェーン部
 410の1段の補正(1段が 1ns の場合には整数部分
 の補正)がなされる毎に吸収されることになる。

【0138】 つぎに、M(書き込みユニット3)で
 は、 $SP1m=17$, $SP2m=47$, $NS=30$, ER
 $ym_data=-6$ クロックと $-17/32$ クロック, であ
 るものとする。

【0139】 この場合の補正量 $REVISE_data$ は、
 $\{(-6 - (17/32)) \div 4720\} \times 30$
 $= \{(-209/32) \div 4720\} \times 30$
 $= -0.04151218220339$
 $\approx -0.0415\text{(ns)}$

のように近似する。そして、以上の補正量を第2ディレ
 イチェーン部412の遅延量により、1ドット毎に補正
 してゆく。

【0140】 すなわち、各ドット毎に、以下の計算を順
 次実行し、遅延クロック1段分の遅延時間 DT (ここ

は 1ns)の変化を超える毎に(ここでは、46, ...,
 ..., 45, ...)、1段分ずらした遅延クロックを選択す
 る。

$47.0000 - 0.0415 = 46.9585$
 $46.9585 - 0.0415 = 46.9170$
 $46.9170 - 0.0415 = 46.8755$
 $46.8755 - 0.0415 = 46.8340$

すなわち、上記の累積された値の整数部分を参照して選
 択すればよい。

【0141】 なお、小数点の切り捨てた部分に関して
 は、要求される精度の範囲で、第1ディレイチェーン部
 410の1段の補正(1段が 1ns の場合には整数部分
 の補正)がなされる毎に吸収されることになる。

【0142】 つぎに、K(書き込みユニット4)で
 は、 $SP1m=26$, $SP2m=56$, $NS=30$, ER
 $ym_data=+34$ クロックと $+3/32$ クロック, であ
 るとする。

【0143】 この場合の補正量 $REVISE_data$ は、
 $\{(34 + (3/32)) \div 4720\} \times 30$
 $= \{(1091/32) \div 4720\} \times 30$
 $= -0.2166975635593$
 $\approx -0.2167\text{(ns)}$

のように近似する。そして、以上の補正量を第2ディレ
 イチェーン部412の遅延量により、1ドット毎に補正
 してゆく。

【0144】 すなわち、各ドット毎に、以下の計算を順
 次実行し、遅延クロック1段分の遅延時間 DT (ここ
 では 1ns)を超える毎に(ここでは、26, ..., ..., 2
 7, ...)、1段分ずらした遅延クロックを選択する。

$26.0000 + 0.2167 = 26.2167$
 $26.2167 + 0.2167 = 26.4334$
 $26.4334 + 0.2167 = 26.6501$
 $26.6501 + 0.2167 = 26.8668$

すなわち、上記の累積された値の整数部分を参照して選
 択すればよい。

【0145】 以上の計算における切り捨てについては、
 要求精度との関係で決定する。例えば、1ラインでのト
 ータルの要求精度が $\pm 0.5\text{ns}$ であるとする。このよ
 うな場合には、1画素あたりの許容誤差は、 $0.5/4$
 $720 = 0.0001059$ となる。すなわち、この1
 画素の許容誤差に満たない値は切り捨てたとしても、1
 ラインのトータルの要求精度を満たせることになる。し
 たがって、この例では、小数点以下の5桁目を切り捨て
 たとしても、 0.0001059 の許容誤差の範囲内で
 あり、4720画素の1ラインでも $\pm 0.5\text{ns}$ を満足
 できることになる。ここでは、十進数の計算の例を示し
 たが、デジタルデータの計算の場合には、許容誤差に
 対応するビット以下の計算を省略することにより対処で
 きる。これにより、計算時のビット数を削減できるよう
 になる。なお、計算能力に余裕があれば、切り捨てを行

わなくてもよい。

【0146】また、ここでは書き込みユニットを4個備えた4色の画像形成装置について説明を行ったが、最低2色の場合に同様な処理を行って色ずれを解消することができる。また、さらに多くの書き込みユニットを備えた画像形成装置に用いることも可能である。

【0147】なお、以上の基準クロック発生部、ディレイチェーン部、各制御部、セレクト部、あるいはCPUは、それぞれ独立して配置してもよいが、1チップとして配置することができるし、さらに、一部を兼用したデバイスにより配置することも可能である。

【0148】

【発明の効果】この結果、本発明によれば、徐々に位相を制御することにより、所定時間内に基準クロックのパルス数を所定数にするようにドットクロックを制御し生成できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態例のクロック発生回路の主要部の電氣的構成を示す構成図である。

【図2】本発明の一実施の形態例のクロック発生回路の電氣的構成を示す構成図である。

【図3】本発明の一実施の形態例のクロック発生回路を適用する画像形成装置の機械的構成を示す構成図である。

【図4】本発明の一実施の形態例のクロック発生回路の主要部の機械構成を示す斜視図である。

【図5】ずれ検出の様子を示す説明図である。

【図6】本発明の一実施の形態例のクロック発生回路の動作状態を説明するタイムチャートである。

【図7】本発明の一実施の形態例のクロック発生回路の動作状態を説明するタイムチャートである。

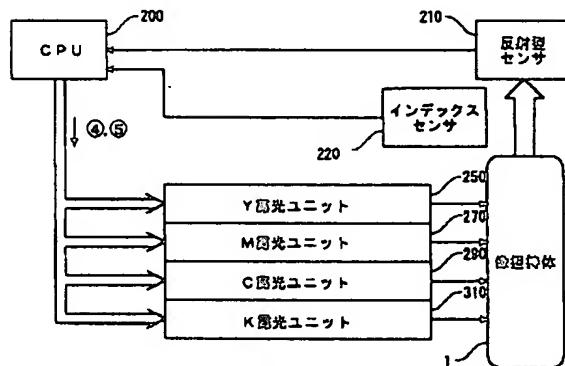
【図8】本発明の一実施の形態例のクロック発生回路の動作状態を説明するタイムチャートである。

【図9】本発明の一実施の形態例のクロック発生回路の動作状態を説明するタイムチャートである。

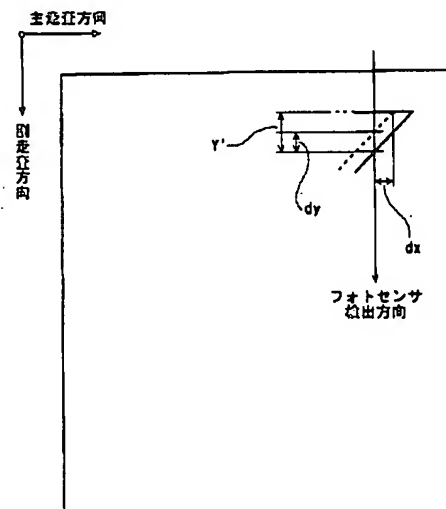
【符号の説明】

- 200 CPU
- 210 反射型センサ
- 250, 270, 290, 310 露光ユニット
- 400 露光ユニットの電氣的構成
- 401 基準クロック発生部
- 402 インデックスセンサ
- 410 第1ディレイチェーン部
- 412 第2ディレイチェーン部
- 420 同期クロック検出部
- 430 画像先端制御部
- 440 遅延クロック切り替え制御部
- 450 遅延クロックセレクト部
- 452 第2セレクト部
- 460 PWM部
- 470 レーザダイオード

【図2】



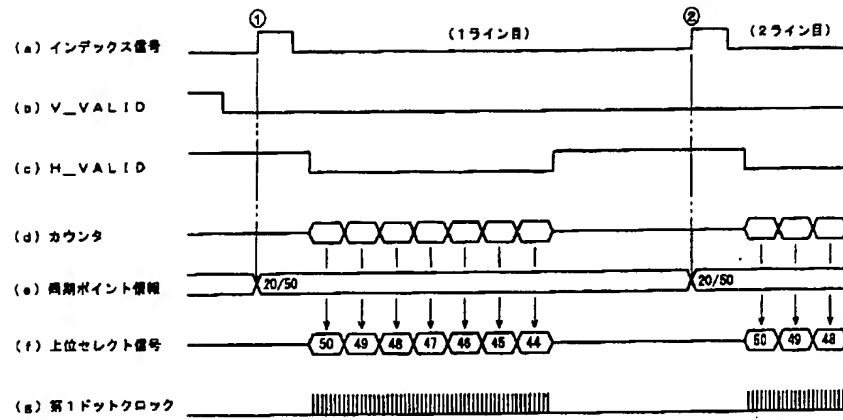
【図5】



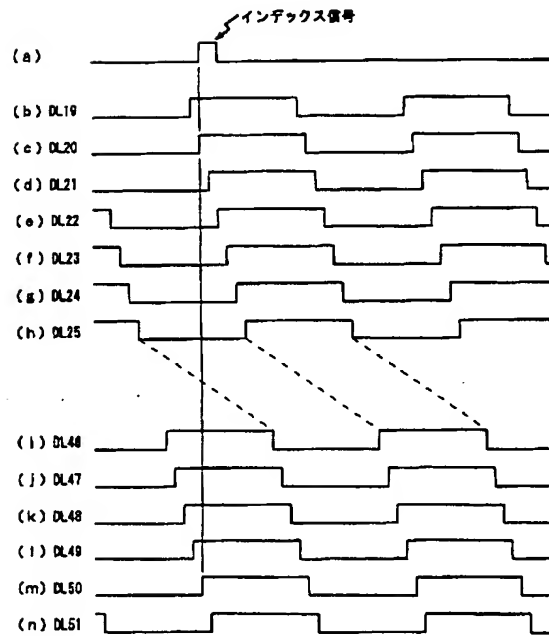
[illegible]

Figure 1 is a perspective view of a projection optical system. The system includes a light source (LD 470) emitting light through a collimating lens (491) and a cylindrical lens (492). The light is reflected by a polygonal mirror (493) and then passes through a series of lenses: a cylindrical lens (494), a biconvex lens (495), and a cylindrical lens (496). The light is then focused by a lens (402) onto a display panel (480). A cylindrical component (1) is also shown, likely a projection body or lens assembly.

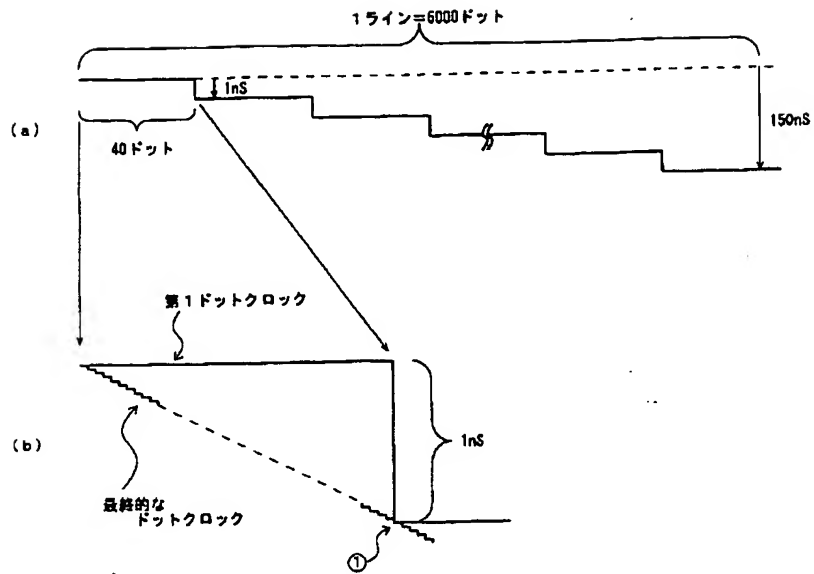
【図6】



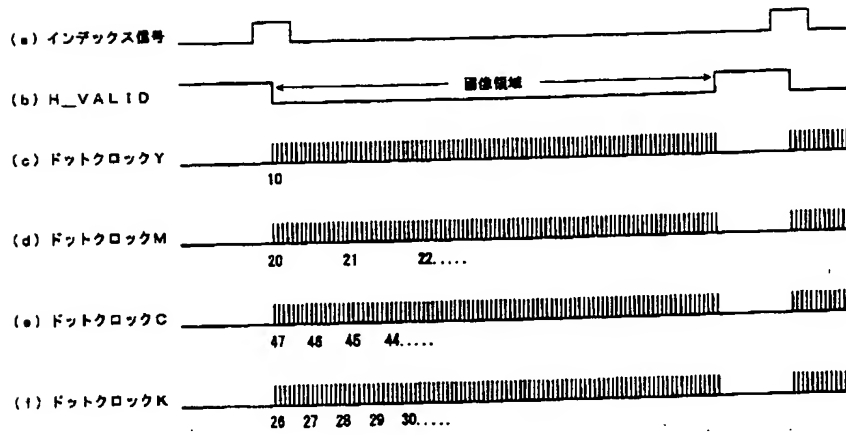
【図7】



【図8】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☒ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

is Page Blank (uspto)